

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265369

[ST.10/C]:

[JP2002-265369]

出 願 人

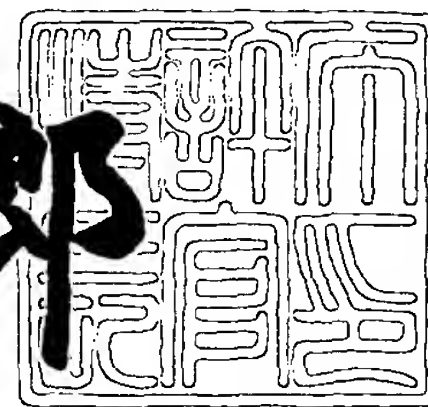
Applicant(s):

セイコーエプソン株式会社

2003年 6月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044475

【書類名】 特許願

【整理番号】 PA04F145

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0175

【発明者】

 【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

 【氏名】 関 浩

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 110000028

 【氏名又は名称】 特許業務法人 明成国際特許事務所

 【代表者】 下出 隆史

 【電話番号】 052-218-5061

【手数料の表示】

 【予納台帳番号】 133917

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0105458

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 電源電圧として印加される比較的高い第 1 の電圧と比較的低い第 2 の電圧のうち、外部からの信号を受け取るためのインタフェース回路に印加される前記第 1 の電圧の供給が遮断されることにより、外部アクセスが実行されない非アクセスモードにおいて、前記インタフェース回路の動作を停止することが可能な半導体集積回路であって、

前記インタフェース回路は、

前記第 1 の電圧が電源電圧として少なくとも印加されて動作する入力バッファと、

外部入力端子と、前記入力バッファの入力端との間で接続され、前記外部入力端子から入力される外部信号を前記入力バッファの入力端に伝えるためのトランスファゲートと、

前記トランスファゲートのゲート電極に印加するゲート電圧を出力するゲート電圧制御回路と、を備えており、

前記ゲート電圧制御回路は、

外部アクセスが実行されるアクセスモードにおいて、前記第 1 の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、

前記非アクセスモードにおいて、前記第 2 の電圧に基づいて生成された電圧を前記ゲート電圧として出力する、半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路であって、

前記ゲート電圧制御回路は、同一の n 型基板領域内に形成された 4 つの p 型 MOS トランジスタにより構成されており、

前記 4 つの p 型 MOS トランジスタのうち、

第 1 の p 型 MOS トランジスタは、ソース電極に前記第 1 の電圧が印加され、ドレイン電極に前記トランスファゲートのゲート電極が接続されており、前記アクセスモードにおいてオン状態となって、前記第 1 の電圧にほぼ等しい電圧を前記トランスファゲートのゲート電極に出力し、

第 2 の p 型 MOS トランジスタは、ソース電極に前記第 2 の電圧が印加され、ドレイン電極に前記トランスファゲートのゲート電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記第 2 の電圧にほぼ等しい電圧を前記トランスファゲートのゲート電極に出力し、

第 3 の p 型 MOS トランジスタは、ソース電極に前記第 1 の電圧が印加され、ドレイン電極に前記 n 型基板領域の第 1 の電極が接続されており、前記アクセスモードにおいてオン状態となって、前記 n 型基板領域の電位が前記第 1 の電圧にほぼ等しくなるように充電し、

第 4 の p 型 MOS トランジスタは、ソース電極に前記第 2 の電圧が印加され、ドレイン電極に前記 n 型基板領域の第 2 の電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記 n 型基板領域の電位が前記第 2 の電圧にほぼ等しくなるように充電する、半導体集積回路。

【請求項 3】 請求項 1 または請求項 2 記載の半導体集積回路であって、前記インタフェース回路を構成する各 MOS トランジスタは、ゲート電極の最大定格電圧が、前記第 1 の電圧よりも高く、前記外部信号のハイレベルの電圧に相当する第 3 の電圧よりも低い MOS トランジスタであり、

前記第 2 の電圧は、前記第 3 の電圧と前記第 2 の電圧との電圧差が前記最大定格電圧よりも低い電圧であることを特徴とする半導体集積回路。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の半導体集積回路であって、

前記第 1 の電圧を 3 V ～ 3. 6 V とし、前記第 2 の電圧を 1. 6 5 V ～ 1. 9 5 V とし、前記第 3 の電圧を 4. 5 V ～ 5. 5 V とする、半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、外部アクセスが実行されない非アクセスモードにおいて、外部との信号の受け渡しを行うインタフェース回路の動作を停止する半導体集積回路に関し、特に、インタフェース回路に印加される電源電圧よりも高電位の外部信号の受け取りを可能とするインタフェース回路を有する半導体集積回路に関する。

【 0 0 0 2 】

【従来の技術】

各種電子機器に含まれる I C や L S I （半導体集積回路）などの電子デバイスは、省電力化を図るために、供給される電源電圧の低電圧化が図られており、3 . 3 V あるいは 3 V 等（以下、「3 V 系」とも呼ぶ。）の電源電圧で動作するものがある。また、さらには、1 . 8 V あるいは 1 . 5 V 等（以下、「1 V 系」とも呼ぶ。）の電源電圧で動作するものもある。

【 0 0 0 3 】

しかしながら、電子機器に実装される電子デバイスの全てが同様に低電圧化されているわけではなく、従来の 5 V 等（以下、「5 V 系」とも呼ぶ。）の電源電圧で動作する電子デバイスと、3 V 系の電源電圧で動作する電子デバイスとが混在している場合がある。

【 0 0 0 4 】

3 V 系の電源電圧で動作する電子デバイス（以下、単に「3 V 系の電子デバイス」と呼ぶ。）を構成するトランジスタのゲート電極の最大定格電圧（「耐圧」とも呼ぶ。）は、3 V 系の電源電圧よりも高いが、5 V 系の電源電圧で動作する電子デバイス（以下、単に「5 V 系の電子デバイス」と呼ぶ。）を構成するトランジスタにおける耐圧に比べて低く、5 V 系の電子デバイスから出力される信号（以下、「5 V 系の信号」と呼ぶ。）の電位よりも低いことが一般的である。このため、3 V 系の電子デバイスに対して、外部から 5 V 系の信号を入力することができないことになる。

【 0 0 0 5 】

そこで、以下に示すように、この耐圧の問題を解決して、3 V 系の電子デバイスにおいて、3 V 系の電子デバイスから出力された信号（以下、「3 V 系の信号」と呼ぶ。）だけでなく、5 V 系の信号も受け取り可能とする方式が考えられている。

【 0 0 0 6 】

図 6 は、3 V 系および 5 V 系の両方の信号を受け取ることができるインタフェース回路を示す説明図である。図 6（A）に示すように、このインタフェース回

路には、外部入力端子（パッド）PDと、入力バッファIBとの間にn型MOSトランジスタ（以下、「nMOSトランジスタ」とも呼ぶ。）によるトランスファゲートQTN（「トランスミッションゲート」とも呼ぶ。）が設けられている。そして、このトランスファゲートQTNのゲート電極Gには、入力バッファIBに供給される電源電圧と同じ3V系の電圧（本例では3.3V）がゲート電圧VGとして印加されている。

【0007】

図6（B）に示すように、トランスファゲートQTNのドレイン電極Dの電位VDは、外部入力パッドPDから入力される入力データ信号の電位VPDに等しく、電位VPDの変化に応じて変化する。具体的には、電位VPDが0Vから5Vに変化した場合、ドレイン電極Dの電位VDも0V～5Vに変化する。一方、ソース電極Sの電位VSは、電位VPDがゲート電圧VG（＝3.3V）に対してしきい値電圧VTNだけ低い電圧（ $V_G - V_{TN}$ ）[V]よりも低い間は、電位VPDの変化に応じて変化するが、それ以上の場合は、（ $V_G - V_{TN}$ ）[V]で一定となる。従って、このインタフェース回路においては、入力バッファIBを構成しているMOSトランジスタの耐圧よりも高い5V系の信号を、トランスファゲートQTNを介して外部入力パッドPDから入力することによって、電源電圧（3.3V）よりも低い信号に変換して、入力バッファIBに入力することができる。

【0008】

なお、外部入力パッドPDから入力される外部データ信号の信号電位が5Vであるとする、トランスファゲートQTNのドレイン電極Dに印加されるドレイン電圧VDは5Vとなる。従って、トランスファゲートQTNのドレイン電極Dとゲート電極Gとの間のドレインーゲート間電圧VDGは1.7Vとなる。また、外部入力パッドPDから入力される外部データ信号の信号電位が0Vであるとする、トランスファゲートQTNのドレイン電極Dに印加されるドレイン電圧VDは0Vとなる。従って、トランスファゲートQTNのドレインーゲート間電圧VDGは－3.3Vとなる。ここで、3.3V系の電源電圧で動作する回路に通常利用されるMOSトランジスタとしては、少なくとも、ゲート電極に許容される最大定格電圧（耐圧）が電源電圧3.3Vよりも高く、ドレインーゲート間電圧

に許容される最大定格電圧も電源電圧 3.3 V よりも高い MOS トランジスタが用いられる。従って、トランスファゲート QTN のドレイン電極とゲート電極との間に印加される電圧は、最大定格電圧よりも低くなっていることがわかる。

【 0 0 0 9 】

【発明が解決しようとする課題】

ここで、電子デバイスの省電力化をさらに図るために、インタフェース回路の供給電源電圧を 3 V 系とし、電子デバイスの内部回路の供給電源電圧を 3 V 系の電圧よりも低い 1 V 系の電圧とするとともに、外部アクセスが実行されない非アクセスモードにおいて、3 V 系の電源電圧の供給を停止（遮断）して、インタフェース回路の動作を停止する電子デバイスが考えられている。

【 0 0 1 0 】

しかしながら、このような電源供給が遮断されるインタフェース回路として上記図 6 に示した構成を適用するとすると、次の問題が発生する。すなわち、図 7 において、3.3 V の電源電圧の供給が停止されると、トランスファゲート QTN のゲート電極 G に印加されるゲート電圧 V_G が 3.3 V から 0 V となる。

【 0 0 1 1 】

この場合、外部入力パッド PD の接続先が、他のデバイスと共通の信号線、例えば、バスであった場合、他のデバイスに供給される外部データ信号であっても外部入力パッド PD から入力されることになる。このとき、トランスファゲート QTN のドレイン－ゲート間電圧 V_{DG} がほぼ 5 V となってしまう。

【 0 0 1 2 】

ここで、トランスファゲート QTN の耐圧は、動作速度を考慮すると低い方が好ましく、3.3 V 系の電源電圧で動作する回路を構成する MOS トランジスタには、5 V よりも低く、ドレイン－ゲート間電圧 V_{DG} に許容される最大定格電圧も 5 V よりも低いトランジスタが用いられることが一般的である。

【 0 0 1 3 】

従って、トランスファゲート QTN を構成する nMOS トランジスタのゲート－ドレイン間電圧 V_{DG} が、許容されている最大定格電圧よりも高くなってしまい、素子の信頼性の劣化を招く要因となる。特に、絶対最大定格電圧よりも高くな

ると素子の故障等を招く要因ともなりうる。

【 0 0 1 4 】

従って、インタフェース回路への電源供給が遮断される非アクセスモードにおいても、インタフェース回路に供給される電源電圧よりも高く、インタフェース回路を構成するMOSトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容するインタフェース回路の実現が望まれている。

【 0 0 1 5 】

この発明は、従来技術における上述の課題を解決するためになされたものであり、非アクセスモードの場合に、インタフェース回路への電源供給が遮断される半導体集積回路において、インタフェース回路に供給される電源電圧よりも高く、インタフェース回路を構成するトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容する技術を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の半導体集積回路は、電源電圧として印加される比較的高い第1の電圧と比較的低い第2の電圧のうち、外部からの信号を受け取るためのインタフェース回路に印加される前記第1の電圧の供給が遮断されることにより、外部アクセスが実行されない非アクセスモードにおいて、前記インタフェース回路の動作を停止することが可能な半導体集積回路であって、

前記インタフェース回路は、

前記第1の電圧が電源電圧として少なくとも印加されて動作する入力バッファと、

外部入力端子と、前記入力バッファの入力端との間で接続され、前記外部入力端子から入力される外部信号を前記入力バッファの入力端に伝えるためのトランスファゲートと、

前記トランスファゲートのゲート電極に印加するゲート電圧を出力するゲート電圧制御回路と、を備えており、

前記ゲート電圧制御回路は、

外部アクセスが実行されるアクセスモードにおいて、前記第 1 の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、

前記非アクセスモードにおいて、前記第 2 の電圧に基づいて生成された電圧を前記ゲート電圧として出力することを特徴とする。

【 0 0 1 7 】

上記構成の半導体集積回路によれば、従来問題となっていた、外部アクセスが実行されない非アクセスモードにおいて、インタフェース回路への第 1 の電圧を有する電源電圧の供給が遮断された場合に、トランスファゲートのゲート電極に第 2 の電圧に基づいて生成された電圧を印加することができる。これにより、発明が解決しようとする課題で説明したように、トランスファゲートのゲート電極の電位が 0 V となって、トランスファゲートのドレイン-ゲート間電圧が、許容される最大定格電圧よりも大きくなることを防止することができる。

【 0 0 1 8 】

ここで、前記ゲート電圧制御回路は、同一の n 型基板領域内に形成された 4 つの p 型 MOS トランジスタにより構成されており、

前記 4 つの p 型 MOS トランジスタのうち、

第 1 の p 型 MOS トランジスタは、ソース電極に前記第 1 の電圧が印加され、ドレイン電極に前記トランスファゲートのゲート電極が接続されており、前記アクセスモードにおいてオン状態となって、前記第 1 の電圧にほぼ等しい電圧を前記トランスファゲートのゲート電極に出力し、

第 2 の p 型 MOS トランジスタは、ソース電極に前記第 2 の電圧が印加され、ドレイン電極に前記トランスファゲートのゲート電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記第 2 の電圧にほぼ等しい電圧を前記トランスファゲートのゲート電極に出力し、

第 3 の p 型 MOS トランジスタは、ソース電極に前記第 1 の電圧が印加され、ドレイン電極に前記 n 型基板領域の第 1 の電極が接続されており、前記アクセスモードにおいてオン状態となって、前記 n 型基板領域の電位が前記第 1 の電圧にほぼ等しくなるように充電し、

第4のp型MOSトランジスタは、ソース電極に前記第2の電圧が印加され、ドレイン電極に前記n型基板領域の第2の電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記n型基板領域の電位が前記第2の電圧にほぼ等しくなるように充電することが好ましい。

【0019】

上記構成によれば、ゲート電圧制御回路を半導体集積回路内に容易に形成することができる。

【0020】

なお、前記インタフェース回路を構成する各MOSトランジスタは、ゲート電極の最大定格電圧が、前記第1の電圧よりも高く、前記外部信号のハイレベルの電圧に相当する第3の電圧よりも低いMOSトランジスタであり、

前記第2の電圧は、前記第3の電圧と前記第2の電圧との電圧差が前記最大定格電圧よりも低い電圧であることが好ましい。

【0021】

上記第1の電圧と第2の電圧と第3の電圧の関係を有する半導体集積回路では、外部アクセスが実行されない非アクセスモードの場合に、インタフェース回路への第1の電圧を有する電源電圧の供給が遮断されて、トランスファゲートのドレイン-ゲート間電圧が許容される最大定格電圧よりも大きくなることを効果的に防止することができる。なお、最大定格電圧には、絶対最大定格電圧も含まれる。

【0022】

なお、例えば、前記第1の電圧を3V～3.6Vとし、前記第2の電圧を1.65V～1.95Vとし、前記第3の電圧を4.5V～5.5Vとすることができる。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態を実施例に基づいて以下の順に従って説明する。

A. インタフェース回路の構成：

B. ゲート電圧制御回路の構成および動作：

B 1. ゲート電圧制御回路

B 2. アクセスモードにおける動作：

B 3. 非アクセスモードにおける動作：

C. 実施例の効果：

D. 変形例：

【 0 0 2 4 】

A. インタフェース回路の構成：

図 1 は、本発明の一実施例としての半導体集積回路に含まれるインタフェース回路の回路図である。この半導体集積回路は、外部との信号の受け渡しを行うためのインタフェース回路を含むインタフェースブロックと、種々の内部回路を含む内部ブロックとに大きく分けられる。この集積回路には図示しない 2 種類の電源入力端子 $HVdd$ 、 $LVdd$ から 2 種類の電源電圧が供給される。第 1 の電源入力端子 $HVdd$ の電圧は $(3.3 \pm 0.3) V$ で、第 2 の電源入力端子 $LVdd$ の電圧は $(1.8 \pm 0.15) V$ であるとする。なお、以下では、第 1 の電源入力端子 $HVdd$ の電圧を第 1 の電源 $HVdd$ あるいは第 1 の電源電圧 $HVdd$ と呼び、第 2 の電源入力端子 $LVdd$ の電圧を第 2 の電源 $LVdd$ あるいは第 2 の電源電圧 $LVdd$ と呼ぶ。第 1 の電源 $HVdd$ はインタフェース回路用の電源あり、第 2 の電源 $LVdd$ は内部回路用の電源である。また、「 $(3.3 \pm 0.3) V$ 」とは、標準電圧が $3.3 V$ で、誤差範囲が $\pm 0.3 V$ であることを意味しており、第 1 の電源電圧 $HVdd$ は $3 V \sim 3.6 V$ の範囲内のいずれかの電圧値を取りうることを意味している。他の電圧も同様である。

【 0 0 2 5 】

図 1 は、インタフェースブロックに含まれる 1 つのインタフェース回路 100 を示している。このインタフェース回路 100 は、入力バッファ 110 と、出力ドライバ 120 と、トランスファゲート 130 と、ゲート電圧制御回路 140 とから構成されている。各回路を構成する p 型 MOS トランジスタ（以下、単に「pMOS トランジスタ」と呼ぶ。）および n 型 MOS トランジスタ（以下、単に「nMOS トランジスタ」と呼ぶ。）は、ゲート酸化膜の厚さ $t_{ox} \cong 70 \text{ \AA}$ であり、ゲート電極、ゲートドレイン間、およびゲートソース間に許容される絶

対最大定格電圧は 4 ～ 4.6 V の範囲内であるとして説明する。

【 0 0 2 6 】

入力バッファ 1 1 0 は、2 つの CMOS タイプのインバータ 1 1 2, 1 1 4 により構成されている。入力バッファ 1 1 0 の入力端 n 2 は第 1 のインバータ 1 1 2 の入力端となり、第 1 のインバータ 1 1 2 の出力端 n 3 は第 2 のインバータ 1 1 4 の入力端に接続されている。第 2 のインバータ 1 1 4 の出力端は入力バッファ 1 1 0 の出力端 n 4 となる。第 1 のインバータ 1 1 2 の一方の電源入力端は、第 1 の電源端子 H V d d に接続されて、インタフェース回路用の第 1 の電源電圧 H V d d (= 3.3 V) が供給されており、他方は接地電位 G N D に接続されている。第 2 のインバータ 1 1 4 の一方の電源入力端は、第 2 の電源端子 L V d d に接続されて、内部回路用の第 2 の電源電圧 L V d d (= 1.8 V) が供給されており、他方は接地電位 G N D に接続されている。

【 0 0 2 7 】

入力バッファ 1 1 0 は、トランスファゲート 1 3 0 を介して入力される外部データ信号 D i n - e x t を入力データ信号 D i n として内部ブロックの図示しない内部回路へ出力する。

【 0 0 2 8 】

なお、第 1 のインバータ 1 1 2 の出力端 n 3 と接地電位 G N D との間には、ドレイン電極がノード n 3 に接続され、ソース電極が接地電位 G N D に接続された n M O S トランジスタ 1 1 6 が挿入されている。また、この n M O S トランジスタ 1 1 6 のゲート電極は、内部ブロックの図示しない制御回路からのインタフェース制御信号 I F c n t が入力される制御信号入力端 n 5 に接続されている。

【 0 0 2 9 】

インタフェース制御信号 I F c n t は、第 1 の電源 H V d d として 3.3 V の電圧が供給されて、外部アクセスが実行されるアクセスモードにおいてロウレベル (" L " レベル) となり、第 1 の電源 H V d d の供給が遮断されて、外部アクセスが実行されない非アクセスモードにおいてハイレベル (" H " レベル) となる。インタフェース制御信号 I F c n t は内部ブロック内の内部回路により生成され、" H " レベルはほぼ第 2 の電源電圧に等しい電圧であり、" L " レベルは

接地電位GNDに等しい電圧（ほぼ0V）である。

【0030】

このnMOSトランジスタ116は、以下で説明するようにクランプ回路として機能する。非アクセスモードにおいて、第1の電源HVddの電圧は3.3Vから0Vとなり、第1のインバータ112の動作は停止するので、出力端n3のレベルは不安定となる。このとき、インタフェース制御信号IFcntが”H”レベルとなるので、nMOSトランジスタ116はオン状態となって出力端n3の電位を、接地電位GND、すなわち、”L”レベルに固定する。なお、アクセスモードにおいては、nMOSトランジスタ116はオフ状態となるので、出力端n3の電位は、入力端n2のレベルに応じて変化する。

【0031】

出力ドライバ120も、CMOSタイプの回路により構成されている。出力ドライバ120の一方の電源入力端は第1の電源端子HVddに接続されて、インタフェース回路用の第1の電源電圧HVdd（=3.3V）が供給されており、他方は接地電位GNDに接続されている。データ入力端n6には、内部ブロックの図示しない内部回路から出力されるデータ信号Doutが入力されており、出力端は入力バッファ110の入力端n2に接続されている。なお、入力されるデータ信号Doutの出力可否を決定するイネーブル信号入力端n8には、内部ブロックの図示しない制御回路から出力されるイネーブル信号Denbが入力されている。イネーブル信号Denbがアクティブの場合、データ入力端n6から入力されるデータ信号Doutがトランスファゲート130を介して外部入出力パッド150から出力される。イネーブル信号Denbが非アクティブの場合、出力ドライバ120の出力端はハイインピーダンスとなるので、実効的に入力バッファ110の入力端n2から切り離される。なお、この出力ドライバ120としては、第1の電源電圧HVddの供給が遮断されたとき、入力端n2に外部信号が入力されたとしても、回路内部にリーク電流等が発生するのを防止することが可能なフェールセーフ機能を備えた出力バッファが用いられる。このフェールセーフ機能を備えた出力ドライバは、一般的であるのでここでは説明を省略する。

【0032】

トランスファゲート 1 3 0 は、nMOS トランジスタにより構成されており、ドレイン電極は接続端 n 1 を介して外部入出力パッド 1 5 0 に接続されている。また、ソース電極は入力バッファ 1 1 0 の入力端 n 2 に接続されており、ゲート電極はゲート電圧制御回路 1 4 0 の出力端 n 7 に接続されている。なお、この nMOS トランジスタとしては、インタフェース回路 1 0 0 の他の回路を構成する nMOS トランジスタよりも低いしきい値電圧 V_{TN} を有するトランジスタが利用されている。このしきい値電圧 V_{TN} は、小さい方が好ましく、理想的には 0 V である。本例では、例えば、約 0. 2 V 以下の nMOS トランジスタが利用される。

【 0 0 3 3 】

なお、入力バッファ 1 1 0 の入力端 n 2 と接地電位 GND との間には、4 個の nMOS トランジスタ 1 3 1 ~ 1 3 4 をカスケード接続したクランプ回路が設けられている。接地電位 GND に接続されている nMOS トランジスタ 1 3 1 のゲート電極は入力バッファ 1 1 0 の制御信号入力端 n 5 に接続されており、上記入力バッファ 1 1 0 に含まれる nMOS トランジスタ 1 1 6 と同様に、インタフェース制御信号 I F c n t が入力される。他の nMOS トランジスタ 1 3 2, 1 3 3, 1 3 4 は、ゲート電極とドレイン電極とが接続されて、ダイオードを構成している。このクランプ回路は、非アクセスモードにおいて、nMOS トランジスタ 1 3 1 がオン状態となると、入力端 n 2 から接地電位 GND に電流が流れて、例えば、各トランジスタのしきい値電圧 V_{TN} を約 0. 6 V とすると、入力端 n 2 の電位が、しきい値電圧 V_{TN} の 4 倍の約 2. 4 V 以上とならないようにクランプする。アクセスモードにおいては、nMOS トランジスタ 1 3 1 がオフ状態となるので、このクランプ回路は動作せず、入力端 n 2 の電位は、トランスファゲート 1 3 0 を介して入力される外部データ信号 D i n - e x t の変化に応じて変化する。

【 0 0 3 4 】

ゲート電圧制御回路 1 4 0 は、トランスファゲート 1 3 0 のゲート電極に印加するためのゲート電圧を、アクセスモードか非アクセスモードかに応じて出力端 n 7 を介してトランスファゲート 1 3 0 のゲート電極に出力する。

【 0 0 3 5 】

B. ゲート電圧制御回路の構成および動作：

B 1. ゲート電圧制御回路の構成：

ゲート電圧制御回路 1 4 0 は、4 つの p M O S トランジスタ Q P 1, Q P 2, Q P 3, Q P 4 により構成されている。第 1 の p M O S トランジスタ Q P 1 のソース電極は第 1 の電源入力端子 H V d d に接続されており、ドレイン電極はゲート電圧制御回路 1 4 0 の出力端 n 7 に接続されている。ゲート電極は入力バッファ 1 1 0 の制御信号入力端 n 5 に接続されており、インタフェース制御信号 I F c n t が入力される。この第 1 の p M O S トランジスタ Q P 1 は、後述するように第 1 の電源電圧 H V d d を、トランスファゲート 1 3 0 のゲート電圧としてゲート電極に印加するための第 1 のスイッチ回路として機能する。

【 0 0 3 6 】

第 2 の p M O S トランジスタ Q P 2 のソース電極は第 2 の電源入力端子 L V d d に接続されており、ドレイン電極はゲート電圧制御回路 1 4 0 の出力端 n 7 に接続されている。ゲート電極は第 1 の電源入力端子 H V d d に接続されており、第 1 の電源電圧 H V d d がゲート電圧としてゲート電極に印加される。この第 2 の p M O S トランジスタ Q P 2 は、後述するように第 2 の電源電圧 L V d d を、トランスファゲート 1 3 0 のゲート電圧としてゲート電極に印加するための第 2 のスイッチ回路として機能する。

【 0 0 3 7 】

ここで、p M O S トランジスタのバックゲート電極には、通常、電源電圧が印加される。例えば、第 1 の p M O S トランジスタ Q P 1 のバックゲート電極には、第 1 の電源電圧 H V d d (= 3 . 3 V) が印加され、第 2 の p M O S トランジスタ Q P 2 のバックゲート電極には、第 2 の電源電圧 L V d d (= 1 . 8 V) が印加される。しかしながら、第 1 の p M O S トランジスタ Q P 1 のバックゲート電極に第 1 の電源電 H V d d が印加され、第 2 の p M O S トランジスタ Q P 2 のバックゲート電極に第 2 の電源電圧 L V d d が印加されると、以下のような問題が発生する。

【 0 0 3 8 】

図 2 は、第 1 および第 2 の p M O S トランジスタ Q P 1, Q P 2 のバックゲート電極をそれぞれに対応する電源電圧 H V d d、L V d d に接続した場合の断面構造を概略的に示す説明図である。第 1 のトランジスタ Q P 1 は、p 型半導体基板 2 0 0 に形成された N ウェル 2 1 0 (「n 型基板領域」あるいは「バックゲート」とも呼ぶ。) 内に形成されている。N ウェル 2 1 0 内にはドレイン電極用の p 型不純物領域 2 1 2 (以下、単に「ドレイン電極」とも呼ぶ。) と、ソース電極用の p 型不純物領域 2 1 4 (以下、単に「ソース電極」とも呼ぶ。) と、バックゲート電極用の n 型不純物領域 2 1 6 (以下、単に「バックゲート電極」とも呼ぶ。) が形成されている。2 つの p 型不純物領域 2 1 2, 2 1 4 の間の N ウェル 2 1 0 (チャネル領域) の表面上には第 1 の p M O S トランジスタ Q P 1 のゲート電極 2 1 8 が形成されている。

【 0 0 3 9 】

同様に、第 2 のトランジスタ Q P 2 は、p 型半導体基板 2 0 0 に形成された N ウェル 2 2 0 内に形成されている。N ウェル 2 2 0 内にはドレイン電極用の p 型不純物領域 2 2 2 (以下、単に「ドレイン電極」とも呼ぶ。) と、ソース電極用の p 型不純物領域 2 2 4 (以下、単に「ソース電極」とも呼ぶ。) と、バックゲート電極用の n 型不純物領域 2 2 6 (以下、単に「バックゲート電極」とも呼ぶ。) が形成されている。2 つの p 型不純物領域 2 2 2, 2 2 4 の間の N ウェル 2 2 0 (チャネル領域) の表面上には第 2 の p M O S トランジスタ Q P 2 のゲート電極 2 2 8 が形成されている。

【 0 0 4 0 】

第 1 の p M O S トランジスタ Q P 1 のソース電極 2 1 4 およびバックゲート電極 2 1 6 は、第 1 の電源端子 H V d d (3. 3 V) に接続されている。第 2 の p M O S トランジスタ Q P 2 のソース電極 2 2 4 およびバックゲート電極 2 2 6 は、第 2 の電源端子 L V d d (1. 8 V) に接続されている。第 1 の p M O S トランジスタのドレイン電極 2 1 2 と第 2 の p M O S トランジスタのドレイン電極 2 2 2 とは、出力端 n 7 として共通に接続されている。第 1 の p M O S トランジスタ Q P 1 のゲート電極 2 1 8 にはインタフェース制御信号 I F c n t が入力される。第 2 の p M O S トランジスタ Q P 2 のゲート電極 2 2 8 は第 2 の電源

端子H V d dに接続されている。

【 0 0 4 1 】

ここで、例えば、インタフェース制御信号I F c n tが” L ” レベルとなって、第1のp M O SトランジスタQ P 1がオンとなり、第2のp M O SトランジスタQ P 2がオフとなっている場合を考える。このとき、第2のp M O SトランジスタQ P 2はオフ状態であるにもかかわらず、第2のp M O SトランジスタQ P 2のドレイン電極2 2 2とNウェル2 2 0との接合面が順方向にバイアスされるので、第1のp M O SトランジスタQ P 1のソース電極2 1 4からドレイン電極2 1 2へ向かって流れ出した電流の一部が、第2のp M O SトランジスタQ P 2のドレイン電極2 2 2、Nウェル2 2 0、バックゲート電極2 2 6を介して第2の電源端子L V d dに流れ出す。このように、オフ状態であるはずの第2のp M O SトランジスタQ P 2にリーク電流が流れることになる。従って、第1のp M O SトランジスタQ P 1および第2のp M O Sトランジスタのバックゲート電極をそれぞれ対応する電源電圧とすることはできない。そこで、本実施例では、以下のような回路構成を採用している。

【 0 0 4 2 】

すなわち、図3に示すように、第1ないし第4のp M O SトランジスタQ P 1～Q P 4を同一のNウェル2 1 0内に形成することにより、それぞれのバックゲート電極を実質的に共通化する。そして、第3のp M O SトランジスタQ P 3のソース電極に相当するp型不純物領域2 3 4を第1の電源入力端子H V d dに接続し、ドレイン電極に相当するp型不純物領域2 3 2を、バックゲート電極に相当するn型不純物領域2 3 6に接続する。また、第4のp M O SトランジスタQ P 4のソース電極に相当するp型不純物領域2 4 4を第2の電源入力端子L V d dに接続し、ドレイン電極に相当するp型不純物領域2 4 2を、バックゲート電極に相当するn型不純物領域2 4 6に接続する。

【 0 0 4 3 】

以上の回路構成を採れば、第1のスイッチ回路に相当する第1のp M O SトランジスタQ P 1がオンし、第2のスイッチ回路に相当する第2のp M O SトランジスタQ P 2がオフしている場合において、第3のp M O SトランジスタQ P 3

がオンとなって、Nウェル210の電位が第1の電源電圧 HV_{dd} となるように充電することができる。また、第1のpMOSトランジスタQP1がオフして、第2のpMOSトランジスタQP2がオンしている場合、第4のpMOSトランジスタQP4がオンとなって、Nウェル210の電位が第2の電源電圧 LV_{dd} となるように充電する。これにより、いずれかのトランジスタのドレイン電極またはソース電極に相当するp型不純物層とNウェル210との接合面が順方向にバイアスされることを防止することができ、リーク電流が発生してしまうことを防止することができる。

【0044】

次に、ゲート電圧制御回路140およびトランスファゲート130の動作をアクセスモードおよび非アクセスモードに分けて説明する。

【0045】

B2. アクセスモードにおける動作：

図4は、アクセスモードにおけるゲート電圧制御回路140の動作を示す説明図である。アクセスモードでは、2つの電源電圧 HV_{dd} 、 LV_{dd} のどちらも半導体集積回路に供給されている。また、インタフェース制御信号 IF_{cnt} は”L”レベル（ $\equiv 0V$ ）となる。このとき、第2、第4のPMOSトランジスタQP2、QP4は、第2の電源電圧 LV_{dd} が印加されているソース電極の電位よりも、第1の電源電圧 HV_{dd} が印加されているゲート電極の電位の方が高いため、オフ状態となる。一方、第3のpMOSトランジスタQP3はオン状態となって、上述したように、第1のpMOSトランジスタQP1のバックゲート電極（図3のn型不純物領域236）に第1の電源電圧 HV_{dd} にほぼ等しい電圧を印加する。これにより、第1ないし第4のpMOSトランジスタQP1～QP4が形成されているNウェル210が第1の電源電圧 HV_{dd} にほぼ等しい電位となるように充電される。そして、第1のpMOSトランジスタQP1はオン状態となって、ゲート電圧制御回路140の出力端n7、すなわち、トランスファゲート130のゲート電極に、第1の電源電圧 HV_{dd} （ $=3.3V$ ）にほぼ等しい電圧が印加される。

【0046】

以上のように、アクセスモードにおいては、従来のインタフェース回路と同様に、トランスファゲート 1 3 0 のゲート電極に第 1 の電源電圧 HV_{dd} ($= 3.3\text{ V}$) にほぼ等しい電圧が印加される。これにより、入力バッファ 1 1 0 を構成している MOS トランジスタの耐圧（ゲート電極に許容される最大定格電圧）よりも高い 5 V の電位を有するの信号が、外部入出力パッド 1 5 0 から入力されても、トランスファゲート 1 3 0 によって電源電圧（本例では 3.3 V ）よりも低い信号に変換されて、入力バッファ 1 1 0 に入力される。

【 0 0 4 7 】

ここで、外部入出力パッド 1 5 0 から入力される外部データ信号 D_{in_ext} の "H" レベルの電位が $(5 \pm 0.5)\text{ V}$ であるとする。

【 0 0 4 8 】

このとき、トランスファゲート 1 3 0 のドレイン電極に印加されるドレイン電圧 VD の最大値 VD_{max} は 5.5 V である。また、ゲート電極に印加されるゲート電圧 VG の最小値 VG_{min} は 3.0 V である。従って、トランスファゲート 1 3 0 のドレイン-ゲート間電圧 VDG の最大値 VDG_{max} も 2.5 V となる。上述したようにインタフェース回路を構成する nMOS トランジスタのドレイン-ゲート間電圧 VDG に許容される絶対最大定格電圧の最低値は 4.0 V であるから、トランスファゲート 1 3 0 のドレイン-ソース間電圧の最大値 VDG_{max} もその絶対最大定格電圧よりも低くなる。

【 0 0 4 9 】

B 3. 非アクセスモードにおける動作：

図 5 は、非アクセスモードにおけるゲート電圧制御回路 1 4 0 の動作を示す説明図である。非アクセスモードでは、2 つの電源電圧 HV_{dd} , LV_{dd} のうち、第 1 の電源電圧 HV_{dd} の供給が遮断され、電源電圧 HV_{dd} の電圧はほぼ 0 V となる。このとき、入力バッファ 1 1 0 の動作は停止されるので、外部データ信号 D_{in_ext} が外部入出力パッド 1 5 0 から入力されたとしても、内部ブロックに入力データ信号 D_{in} が出力されることはない。また、インタフェース制御信号 I_{Fcnt} は "H" レベル ($\cong 1.8\text{ V}$) となる。

【 0 0 5 0 】

このとき、第1、第3のpMOSトランジスタQP1、QP3は、ソース電極の電位（ $\cong 0\text{ V}$ ）よりも、“H”レベル（ $\cong 1.8\text{ V}$ ）のインタフェース制御信号IFcntが入力されているゲート電極の電位の方が高いため、オフ状態となる。一方、第4のpMOSトランジスタはオン状態となって、上述したように、第2のpMOSトランジスタQP2のバックゲート（図3のNウェル210）に電荷を充電して、バックゲートの電位を第2の電源電圧LVddとする。そして、第2のpMOSトランジスタQP2はオン状態となって、ゲート電圧制御回路140の出力端n7、すなわち、トランスファゲート130のゲート電極に、第2の電源電圧LVdd（ $= 1.8\text{ V}$ ）にほぼ等しい電圧を印加する。

【0051】

ここで、他のデバイスに供給されるべき外部データ信号Din-extが、外部入出力パッド150から入力されるとする。この外部データ信号Din-extの“H”レベルの電位は $4.5\text{ V} \sim 5.5\text{ V}$ の範囲内であるとする。

【0052】

このとき、トランスファゲート130のドレイン電極に印加されるドレイン電圧VDの最大値VD[max]は 5.5 V となる。また、ゲート電極に印加されるゲート電圧VGの最小値VG[min]は 1.65 V となる。従って、トランスファゲート130のドレイン-ゲート間電圧VDGの最大値VDG[max]は 3.85 V となる。上述したようにインタフェース回路を構成するnMOSトランジスタのドレイン-ゲート間電圧VDGに許容される絶対最大定格電圧の最低値は 4.0 V であるから、トランスファゲート130のドレイン-ソース間電圧の最大値VDG[max]はその絶対最大定格電圧よりも低くなる。

【0053】

以上のように、ゲート電圧制御回路140は、非アクセスモードとなって、インタフェース回路用の第1の電源HVddの供給が遮断された場合においても、トランスファゲート130のゲート電圧として電源電圧LVddにほぼ等しい電圧を供給することができるので、従来のインタフェース回路において問題となっていたトランスファゲート130のドレイン-ソース間電圧VDGが許容されている絶対最大定格電圧を超えてしまうことを防止することができる。

【 0 0 5 4 】

C. 実施例の効果：

以上、説明したように、本実施例のインタフェース回路 1 0 0 によれば、アクセスモードにおいて、外部データ信号 D_{in-ext} として、第 1 の電源電圧 HV_{dd} ($= 3.3V$) よりも高く、入力バッファ 1 1 0 を構成する MOS トランジスタのゲート電圧に許容される絶対最大定格電圧よりも高い”H”レベル ($5 \pm 0.5V$) の信号を受け取ることが可能である。また、非アクセスモードにおいて従来のインタフェース回路において問題となっていた、他のデバイスに供給される外部データ信号の”H”レベルの電位が外部入出力パッド 1 5 0 から入力されて、トランスファゲート 1 3 0 のドレイン-ソース間電圧 VDG が許容されている絶対最大定格電圧を超えてしまうという点を解消することができる。

【 0 0 5 5 】

以上の説明からわかるように、第 1 の電源電圧が本発明の第 1 の電圧に相当し、第 2 の電源電圧が本発明の第 2 の電圧に相当し、外部データ信号の”H”レベル電位が第 3 の電圧に相当する。

【 0 0 5 6 】

D. 変形例：

なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【 0 0 5 7 】

(1) 上記実施例のインタフェース回路 1 0 0 は、入力バッファ 1 1 0 および出力ドライバを備える入出力インタフェース回路を示しているが、入力バッファ 1 1 0 のみを備える入力インタフェース回路に本発明を適用することも可能である。

【 0 0 5 8 】

(2) 上記実施例では、第 1 の電源電圧 HV_{dd} が $3.3V$ 、第 2 の電源電圧 LV_{dd} が $1.8V$ 、外部データ信号の”Hレベル”の電位が $5V$ で、トランスファゲート 1 3 0 のドレイン-ゲート間電圧 VDG の絶対最大定格電圧が $4.0V$ で

ある場合を例に説明しているが、これに限定されるものではない。トランスファゲートは、ゲート電極およびドレイン電極間の最大定格電圧が、第 1 の電源電圧 HV_{dd} に相当する第 1 の電圧よりも高く、外部データ信号の”H”レベルの電位に相当する第 3 の電圧よりも低い $nMOS$ トランジスタにより構成されており、かつ、第 3 の電圧と、第 2 の電源電圧 LV_{dd} に相当する第 2 の電圧との電圧差が、ゲート電極の最大定格電圧よりも低くなって、ゲート電極およびドレイン電極間の最大定格電圧よりも小さくなるように、第 1 の電圧と、第 2 の電圧と、第 3 の電圧が設定されていれば、本発明を適用することが可能である。

【図面の簡単な説明】

【図 1】 本発明の一実施例としての半導体集積回路に含まれるにおけるインタフェース回路の回路図である。

【図 2】 第 1 および第 2 の $pMOS$ トランジスタ $QP1$ 、 $QP2$ のバックゲートをそれぞれに対応する電源電圧 HV_{dd} 、 LV_{dd} に接続した場合の断面構造を概略的に示す説明図である。

【図 3】 本実施例における第 1 ないし第 4 の $pMOS$ トランジスタ $QP1 \sim QP4$ の断面構造を概略的に示す説明図である。

【図 4】 アクセスモードにおけるゲート電圧制御回路 140 の動作を示す説明図である。

【図 5】 非アクセスモードにおけるゲート電圧制御回路 140 の動作を示す説明図である。

【図 6】 従来のインタフェース回路を示す説明図である。

【図 7】 従来のインタフェース回路の問題点を示す説明図である。

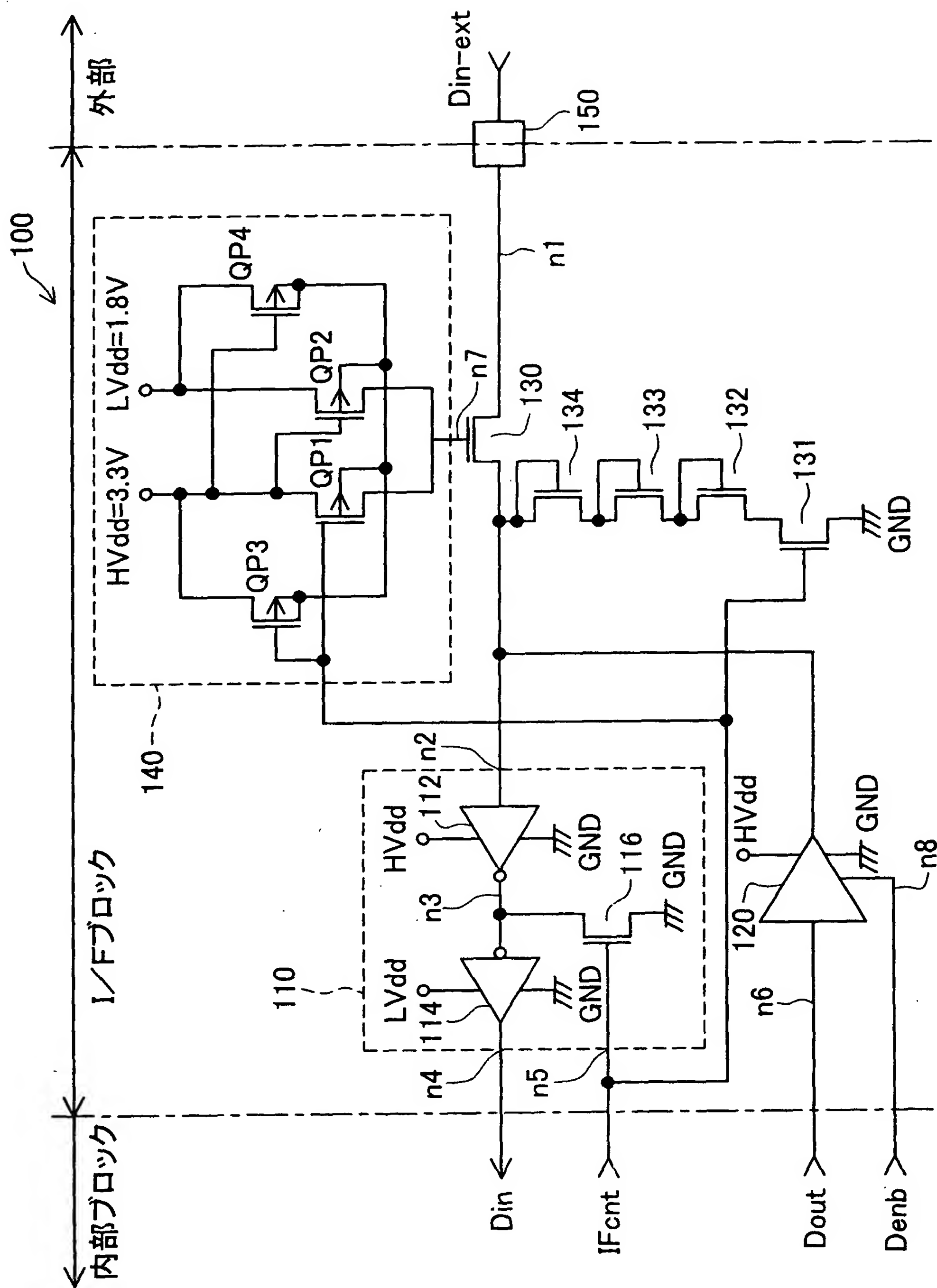
【符号の説明】

- 100…インタフェース回路
- 110…入力バッファ
- 112…第 1 のインバータ
- 114…第 2 のインバータ
- 116… n 型 MOS ($nMOS$) トランジスタ
- 120…出力ドライバ

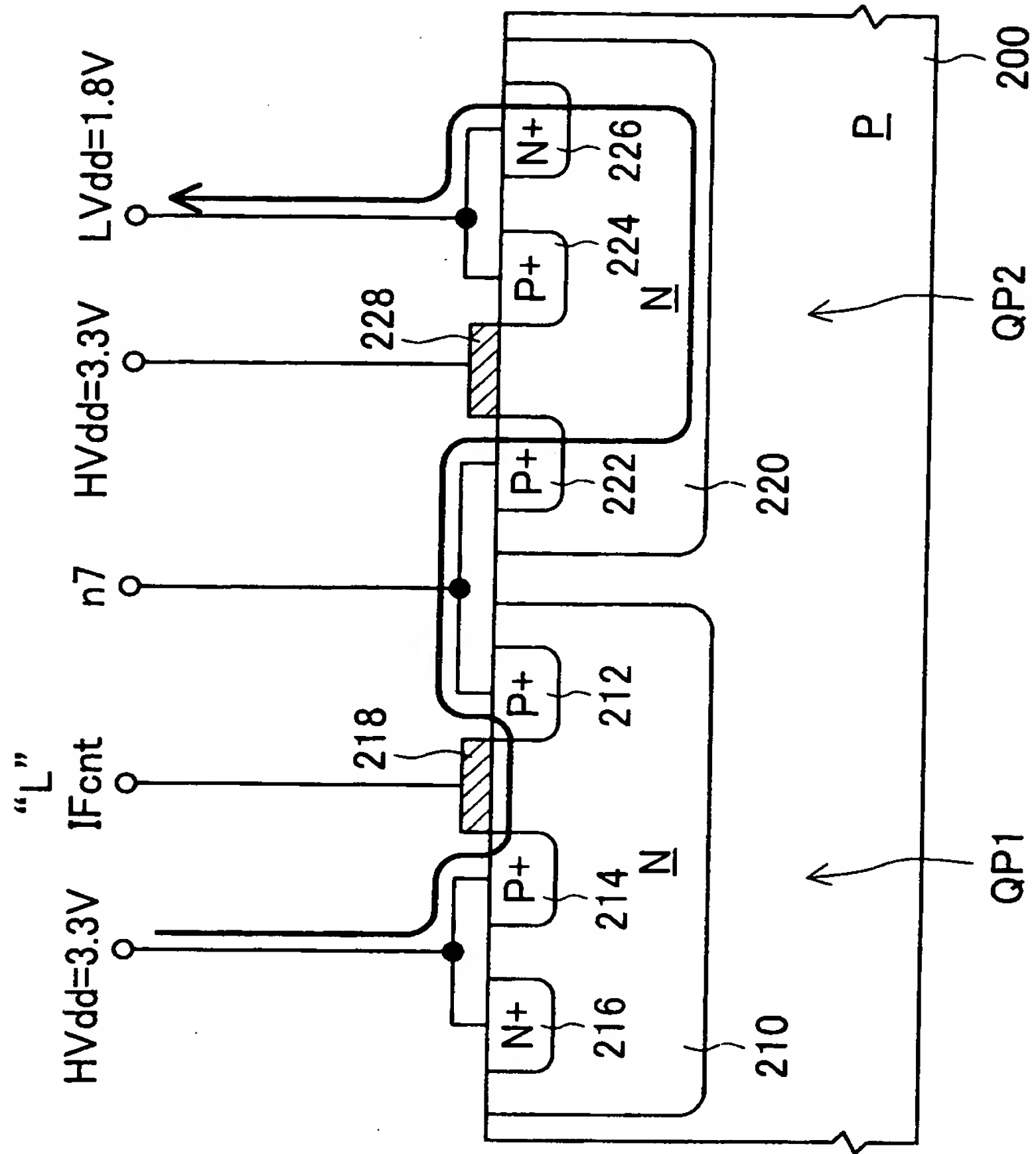
1 3 0 … トランスファゲート
1 3 0 … トランスファゲート
1 3 1, 1 3 2, 1 3 3, 1 3 4 … n 型 MOS (n MOS) トランジスタ
1 4 0 … ゲート電圧制御回路
Q P 1, Q P 2, Q P 3, Q P 4 … p 型 MOS (p MOS) トランジスタ
1 5 0 … 外部入出力パッド
2 0 0 … p 型半導体基板)
2 1 0 … N ウェル (n 型基板領域)
2 1 2 … p 型不純物領域 (ドレイン電極)
2 1 4 … p 型不純物領域 (ソース電極)
2 1 6 … n 型不純物領域 (バックゲート電極)
2 1 8 … ゲート電極
2 2 0 … N ウェル (n 型基板領域)
2 2 2 … p 型不純物領域 (ドレイン電極)
2 2 4 … p 型不純物領域 (ソース電極)
2 2 6 … n 型不純物領域 (バックゲート電極)
2 2 8 … ゲート電極
2 3 2 … p 型不純物領域 (ドレイン電極)
2 3 4 … p 型不純物領域 (ソース電極)
2 3 6 … n 型不純物領域 (バックゲート電極)
2 3 8 … ゲート電極
2 4 2 … p 型不純物領域 (ドレイン電極)
2 4 4 … p 型不純物領域 (ソース電極)
2 4 6 … n 型不純物領域 (バックゲート電極)
2 4 8 … ゲート電極

【書類名】 図面

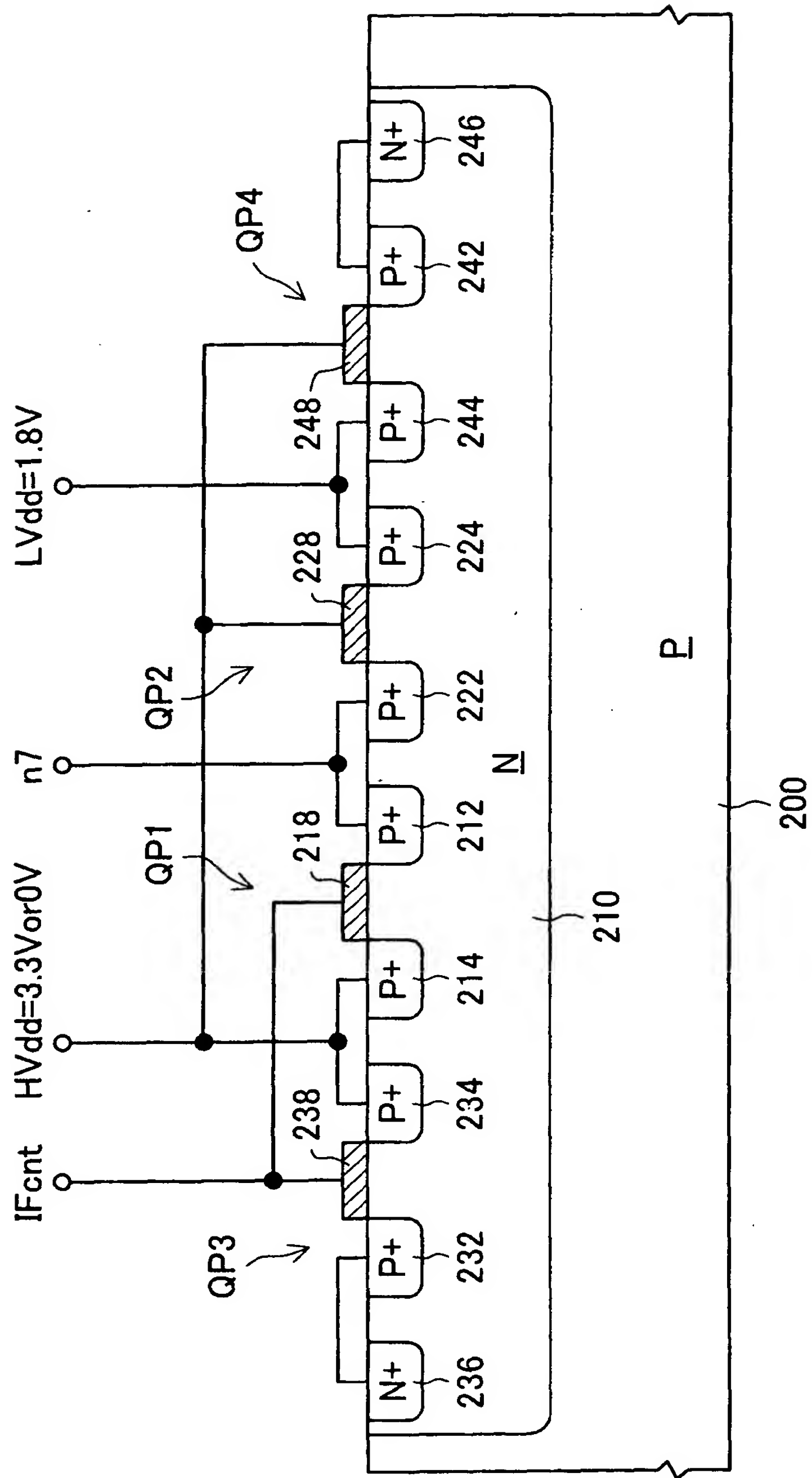
【圖 1】



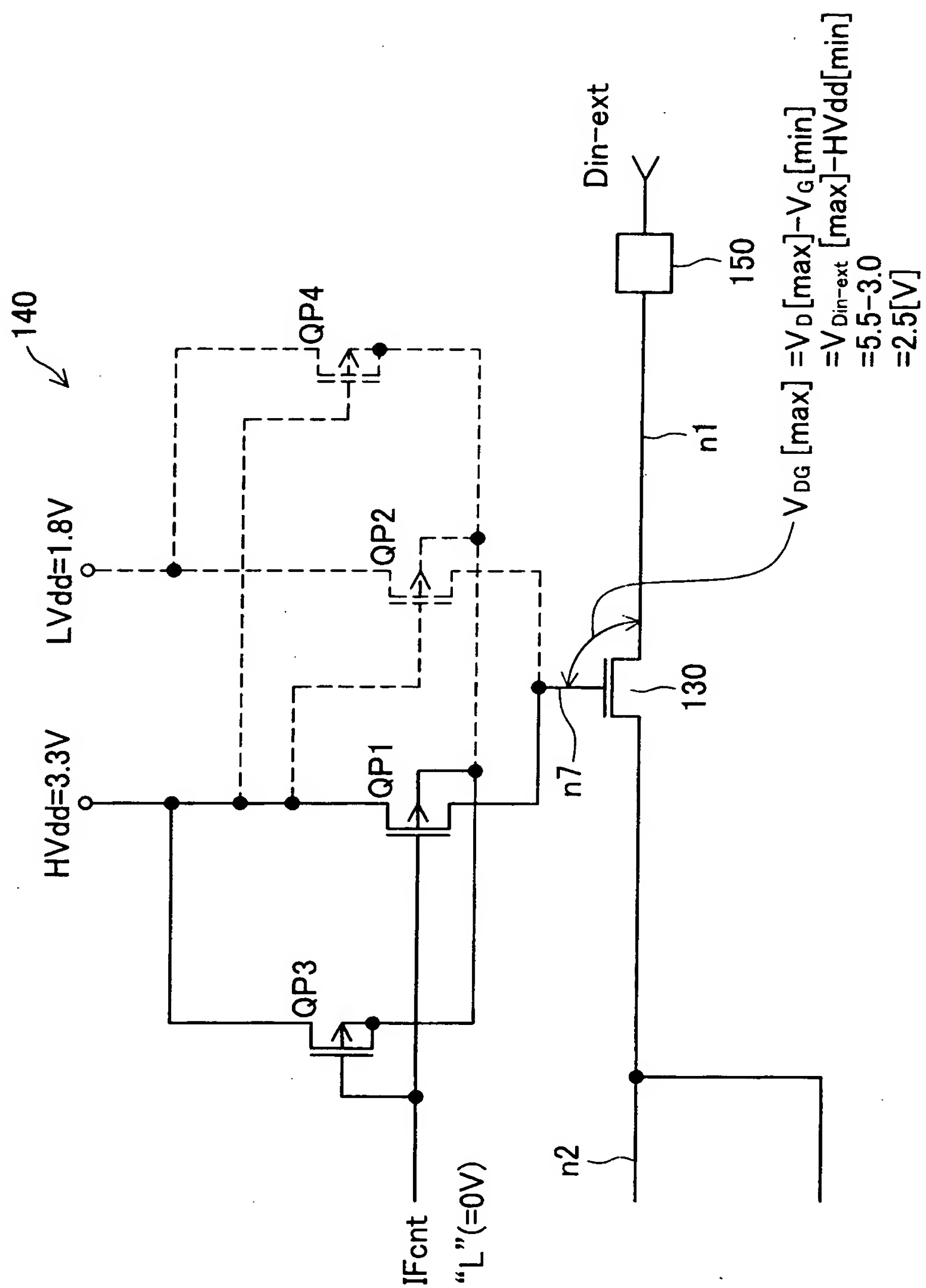
【図 2】



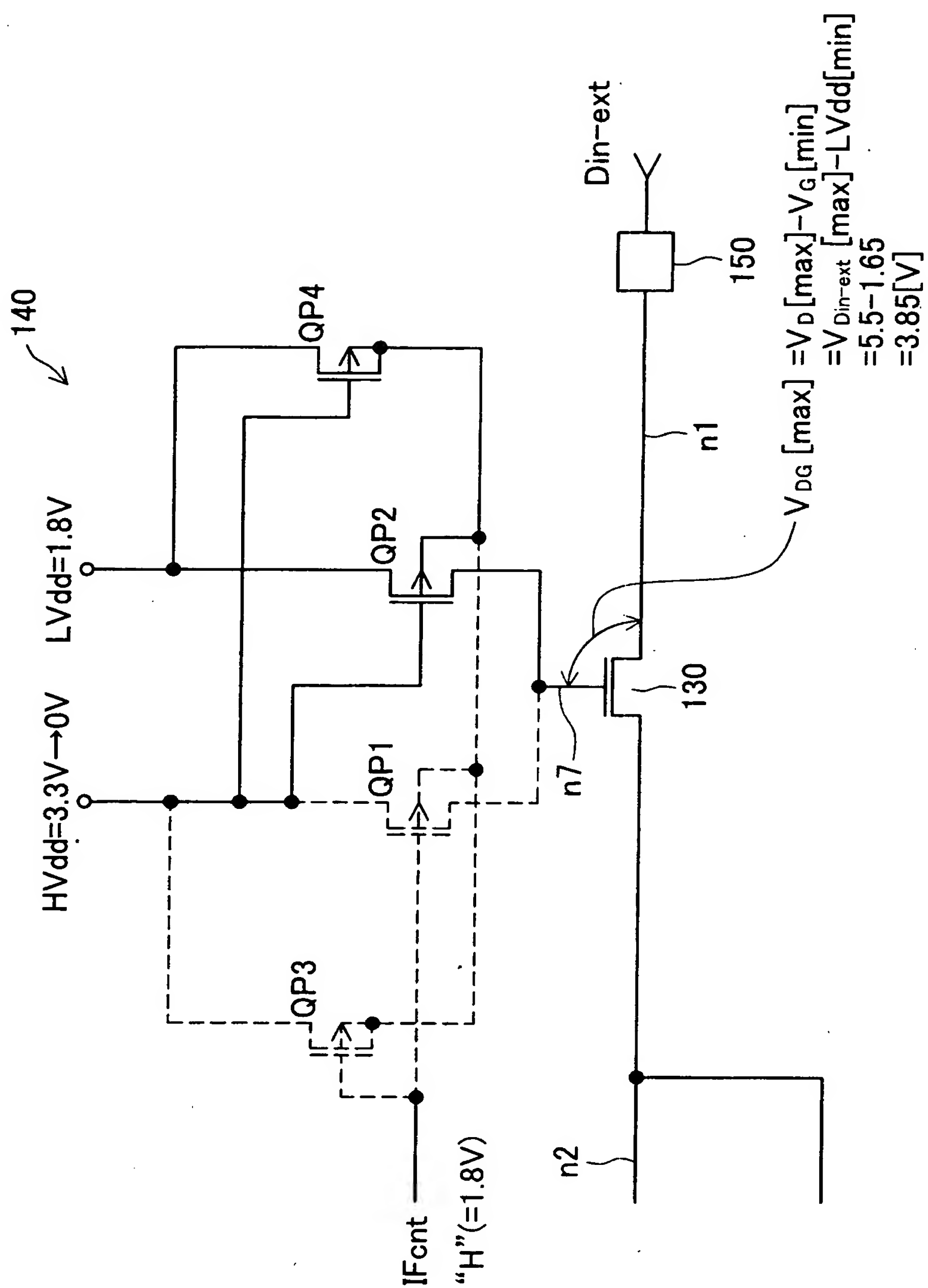
【図 3】



【图4】

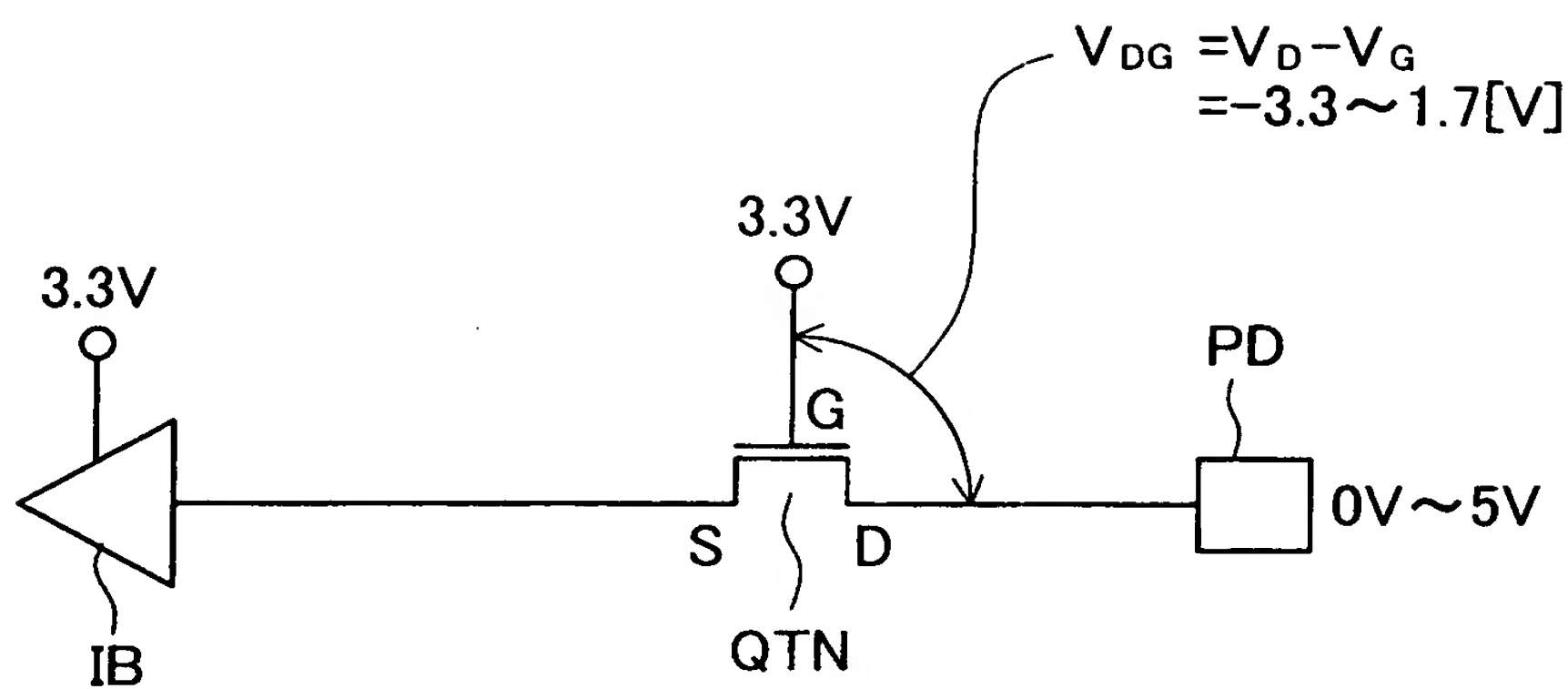


【図 5】

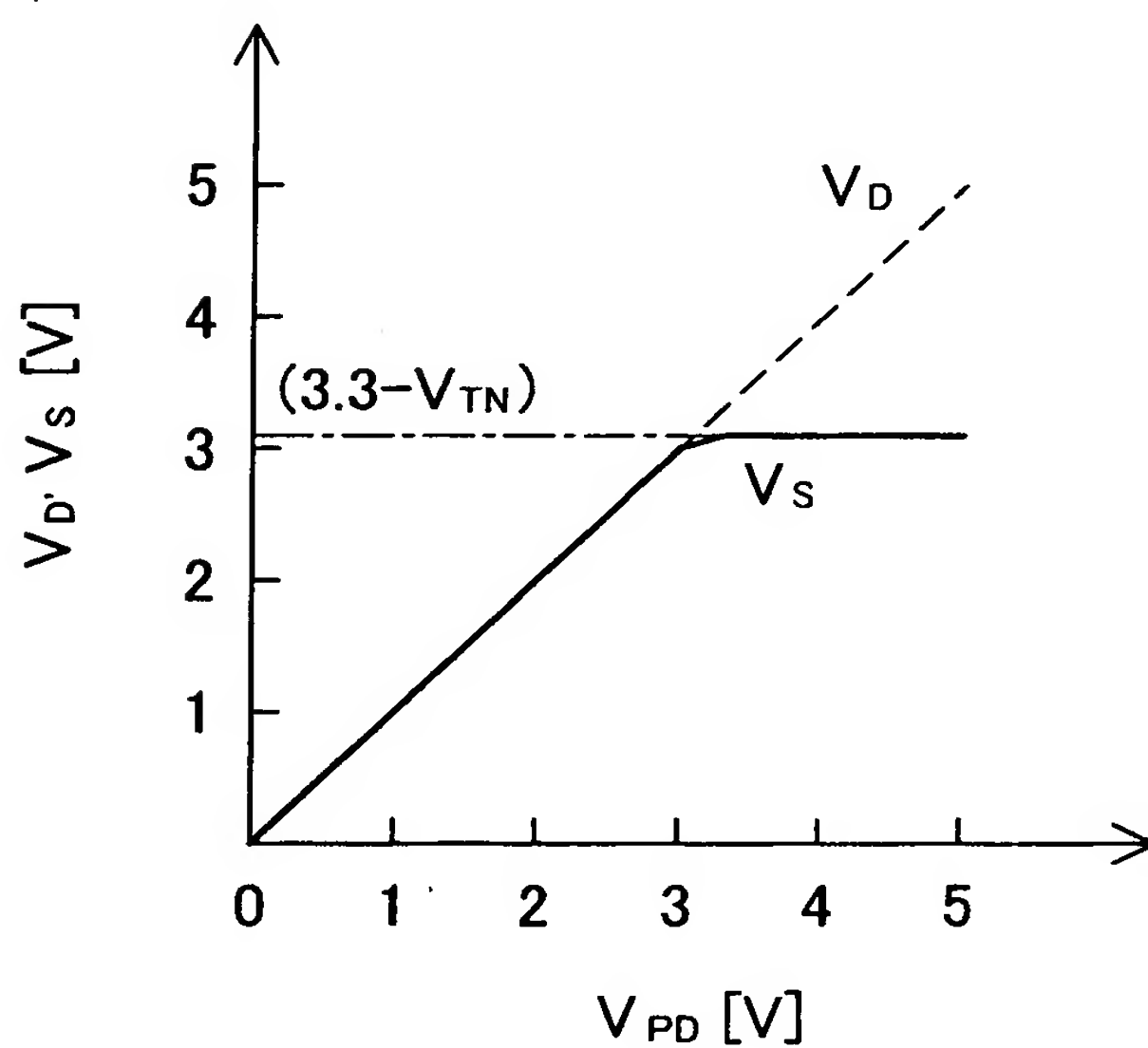


【図 6】

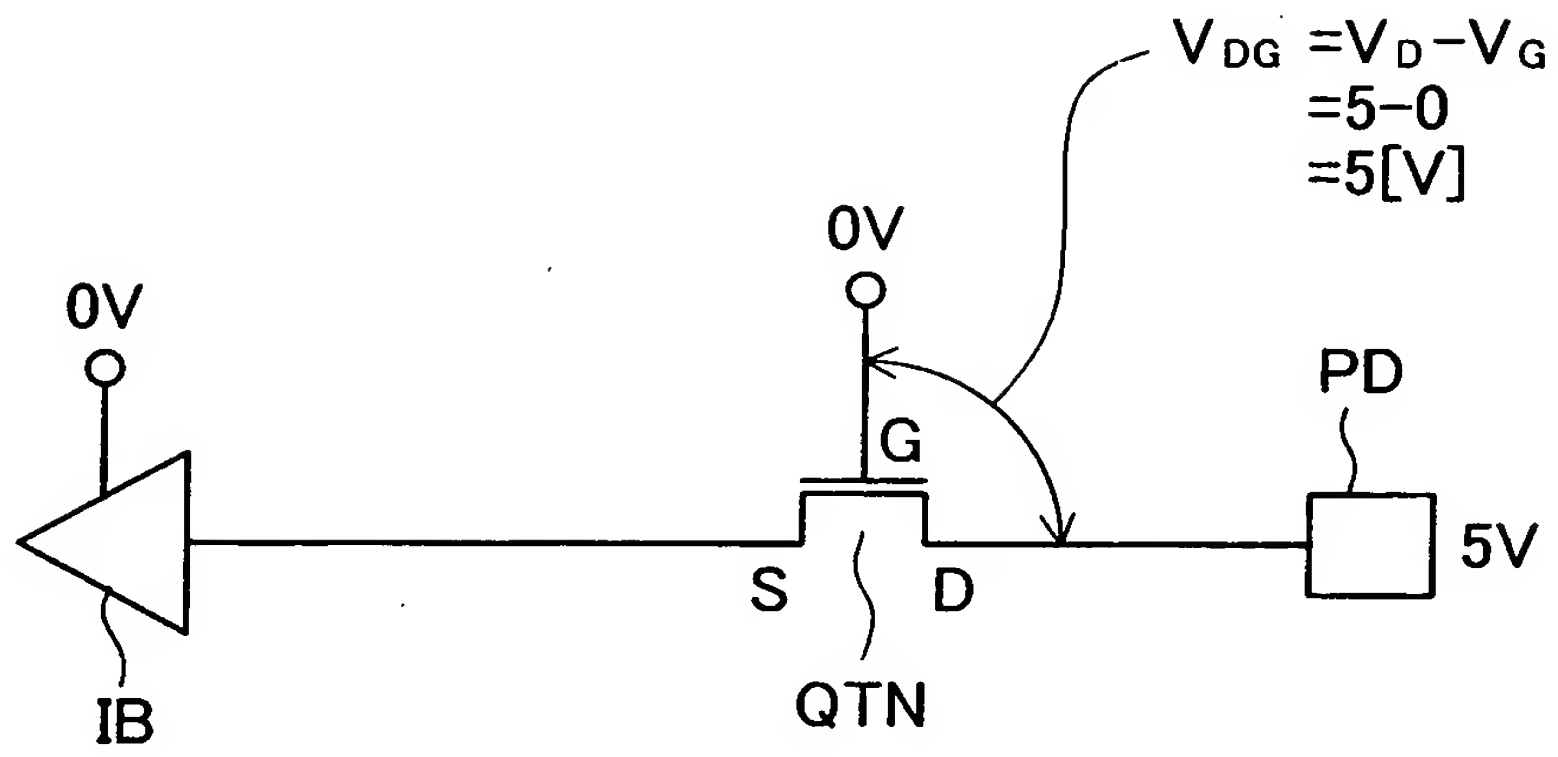
(A)



(B)



【図 7】



【書類名】 要約書

【要約】

【課題】 非アクセスモードにおいても、インタフェース回路に供給される電源電圧よりも高く、インタフェース回路を構成するトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容する。

【解決手段】 外部入力端子と入力バッファの入力端との間で接続され、外部入力端子から入力される外部信号を入力バッファの入力端に伝えるためのトランスファゲートのゲート電極に印加するゲート電圧は、ゲート電圧制御回路によって生成される。ゲート電圧制御回路は、アクセスモードにおいて、半導体集積回路の電源電圧として印加される比較的高い第1の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、非アクセスモードにおいて、半導体集積回路の電源電圧として印加される比較的低い第2の電圧に基づいて生成された電圧を前記ゲート電圧として出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日

[変更理由] 新規登録

住 所 東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名 セイコーエプソン株式会社